

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06141172 A**(43) Date of publication of application: **20.05.94**

(51) Int. Cl.

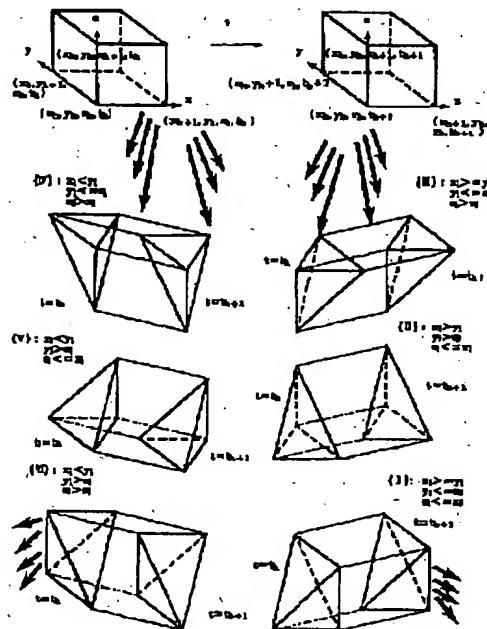
**H04N 1/40****H04N 1/46**(21) Application number: **03296660**(71) Applicant: **FUJI XEROX CO LTD**(22) Date of filing: **17.10.91**(72) Inventor: **IKEGAMI HIROAKI****(54) METHOD AND DEVICE FOR CONVERTING CHROMINANCE SIGNAL**

(57) Abstract:

**PURPOSE:** To enable high-speed conversion without increasing a memory capacity so much for four input signals for which the control signal of K is added to three chrominance signals.

**CONSTITUTION:** In a chrominance signal conversion method for respectively dividing four input signals into high order bits and low-order bits, adding reference data obtained from the set of the high order bits and the set of interpolation data obtained from the set of the high order bits and the low-order bits and obtaining output signals, respective 16-vertexed bodies of an interpolation object area are divided into 24 5-vertexed bodies passing through lattice point from among 16 lattice points for constituting the 16-vertexed bodies and the set of the different interpolation data in the respective 5-vertex bodies is used.

COPYRIGHT: (C)1994,JPO&amp;Japio



(51)Int.Cl.<sup>5</sup>H 0 4 N 1/40  
1/46

識別記号

庁内整理番号

D 9068-5C  
9068-5C

F I

技術表示箇所

審査請求 未請求 請求項の数 9(全 25 頁)

(21)出願番号 特願平3-296660

(22)出願日 平成 3 年(1991)10月17日

(71)出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂三丁目 3 番 5 号

(72)発明者 池上 博章

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社海老名事業所内

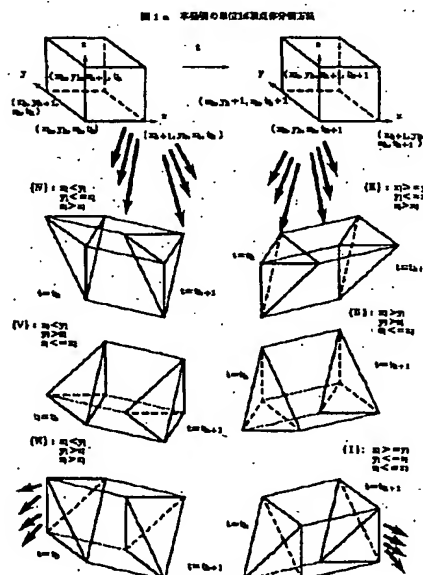
(74)代理人 弁理士 岩上 昇一 (外 2 名)

(54)【発明の名称】 色信号変換方法および装置

(57)【要約】 (修正有)

【目的】 3つの色信号にKのコントロール信号を加えた4つの入力信号に対して、メモリ容量をそれほど増やさことなく高速な変換を可能とする色信号変換装置を提供する。

【構成】 4つの入力信号の各々を上位ビットと下位ビットに分け、上位ビットの組みから得られる基準データと、上位ビットの組みと下位ビットから得られる補間データの組みとを加算して出力信号を得る色信号変換方法において、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを用いる。



## 【特許請求の範囲】

【請求項1】 4つの入力信号の各々を上位ビットと下位ビットに分け、上位ビットの組みから得られる基準データと、上位ビットの組みと下位ビットから得られる補間データの組みとを演算して出力信号を得る色信号変換方法において、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを用いることを特徴とする色信号変換方法。

【請求項2】 色を表す4つの入力信号の各々を上位ビットと下位ビットに分け、その上位ビットの組みをアドレス信号として入力したとき、基準データを出力する基準データ用色補正メモリ手段と、前記上位ビットの組みと下位ビットの組みに基づいて補間データの組を出力する補間データ作成手段と、前記色補正メモリ手段の出力と補間データ作成手段の出力を加算し、出力信号を得る加算手段とを備えた色信号変換装置であって、前記補間データ作成手段が、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを対応させる手段を有することを特徴とする色信号変換装置。

【請求項3】 前記補間データ作成手段が、前記24の5頂点体のいずれに属するかを判定するため、下位ビットの組みをアドレス信号として入力し、補間用強度信号の共通性に適合した複数の補間用領域選択信号を出力する補間用領域選択メモリ手段を有することを特徴とする請求項2記載の色信号変換装置。

【請求項4】 前記補間データ作成手段が、前記24の5頂点体のいずれに属するかを判定するため、4つの入力信号の下位ビット同士、または、4つの入力信号のいくつかの下位ビットをシフトしたもの同士の大小を比較する複数の比較器と、該比較器の出力の組合せを補間用強度信号の共通性に適合した複数の補間用領域選択信号として出力する手段を有することを特徴とする請求項2記載の色信号変換装置。

【請求項5】 前記補間データ作成手段が、4つの入力信号の上位ビットの組みと、前記補間用領域選択信号の一部とをアドレス信号として入力し、複数の補間の強度の信号を出力する補間用強度出力メモリ手段と、該補間用強度出力メモリ手段の出力の内の1つと、4つの入力信号の内の1つの信号の下位ビットの積を演算することにより補間データを出力する複数の補間データ出力手段を有することを特徴とする請求項2記載の色信号変換装置。

【請求項6】 前記補間データ作成手段が、4つの入力信号の上位ビットの組みと、前記補間用領域選択信号の一部とをアドレス信号として入力し、複数の補間の強度

の選択信号を出力する補間用強度選択出力メモリ手段と、該補間用強度選択出力メモリ手段の出力の内の1つと、4つの入力信号の内の1つの信号の下位ビットをアドレスとして入力し、補間データを出力する複数の補間データ出力メモリ手段を有することを特徴とする請求項2記載の色信号変換装置。

【請求項7】 前記補間データ作成手段が、4つの入力信号の上位ビットの組みをアドレスとして入力し、補間対象領域の各16頂点体のうちの1つの格子点を基準として残りの15の格子点に対応する差分データを出力するメモリ部分と、該差分データの差分を計算する複数の減算部分と、該差分データ、または、該減算結果の中から前記補間用領域選択信号の一部を用いて適切な複数の補間の強度の出力を選択する部分からなる補間用強度出力手段と、該補間用強度出力手段の出力の内の1つと、4つの入力信号の内の1つの信号の下位ビットの積を演算することにより補間データを出力する複数の補間データ出力手段を有することを特徴とする請求項2記載の色信号変換装置。

【請求項8】 前記補間データ作成手段が、4つの入力信号の上位ビットの組みをアドレスとして入力し、補間対象領域の各16頂点体のうちの1つの格子点を基準として残りの15の格子点に対応する差分データを出力するメモリ部分と、該差分データの差分を計算する複数の減算部分と、該差分データ、または、該減算結果の中から前記補間用領域選択信号の一部を用いて適切な複数の補間の強度の出力を選択する部分と、それら選択された複数の補間の強度の出力を複数の補間の強度の選択出力に変換する部分からなる補間用強度選択出力手段と、該補間用強度選択出力手段の出力の内の1つと、4つの入力信号の内の1つの信号の下位ビットをアドレスとして入力し、補間データを出力する複数の補間データ出力メモリ手段を有することを特徴とする請求項2記載の色信号変換装置。

【請求項9】 第1の表色系の色を表す4つの入力信号の内の第1および第2の2つの入力信号をアドレスとして入力し、出力装置の色再現範囲を考慮してあらかじめ定められた起点アドレスと前記2つの入力信号の修正された下位ビットとを出力する起点アドレス/下位ビット生成メモリと、

前記第1および第2の入力信号をアドレスとして入力し、前記出力装置の色再現範囲を考慮した前記4つの入力信号の内の第3の入力信号の最大値/最小値を出力する最大最小生成メモリと、

前記第3の入力信号を前記最大最小生成メモリから出力された最大値/最小値に基づいて修正する演算器と、前記起点アドレス/下位ビット生成メモリから出力された起点アドレスと前記演算器によって修正された結果の一定数の上位ビットとの和を求めるアドレス加算器と、前記アドレス加算器の出力および前記4つの入力信号の

内の第4の入力信号をアドレスとして入力し、第2の表色系の色を表わす基準データ信号を出力する基準データ用色補正メモリと、

前記アドレス加算器の出力する上位ビットの組みと前記入力信号の修正された下位ビットの組みに基づいて補間データの組を出力する補間データ作成手段と、

前記基準データ用色補正メモリの出力と補間データ作成手段の出力を加算し、第2の表色系の色を表す出力信号を得る加算手段とを備え、かつ、

前記補間データ作成手段が、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを対応させる手段を有することを特徴とする色信号変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、カラープリンタ、カラー複写機等、中間調を含むフルカラーを出力する方法および装置に関し、特に原稿の色調を忠実に再現するために色信号を変換する色信号変換方法および装置に関する。

【0002】

【従来の技術】従来から、カラー印刷、カラーテレビ、カラー複写機等の分野で、色信号変換について数多くの方法が提案されており、その1つとして、テーブルメモリを用いて入力の色空間、例えばBGR系から、出力の色空間、例えばYMC(K)系へ直接変換する方法があ\*

$$X'(x, y, z) = X'(x_h, y_h, z_h) + a_x(x_h, y_h, z_h, d_x(x_l, y_l, z_l)) \cdot x_l + a_y(x_h, y_h, z_h, d_y(x_l, y_l, z_l)) \cdot y_l + a_z(x_h, y_h, z_h, d_z(x_l, y_l, z_l)) \cdot z_l \dots \dots \dots \text{式1}$$

ここで、 $X'(x, y, z)$ は入力 $(x, y, z)$ における1つの出力の値を、 $x_h, y_h, z_h$ は入力の上位ビットを、 $x_l, y_l, z_l$ は入力の下位ビットを、 $X'(x_h, y_h, z_h)$ は上位ビットの組みから得られる基準データを、 $a_x(x_h, y_h, z_h, d_x(x_l, y_l, z_l))$ 、 $a_y(x_h, y_h, z_h, d_y(x_l, y_l, z_l))$ 、 $a_z(x_h, y_h, z_h, d_z(x_l, y_l, z_l))$ は補間用強度信号を、 $d_x(x_l, y_l, z_l)$ 、 $d_y(x_l, y_l, z_l)$ 、 $d_z(x_l, y_l, z_l)$ は下位ビットの組みから得られる補間用領域選択信号を示す。

【0006】図9の色補正装置の動作を簡単に説明すると、まず、色を表す3つの入力信号 $L * a * b *$ の各々が上位ビットと下位ビットに分けられ、まず上位ビットの組が基準データ用色補正メモリ1のアドレスとして入力され、式1の $X'(x_h, y_h, z_h)$ に相当する基準データが出力される。また、入力信号の下位ビットの組が、補間用領域選択信号出力メモリ2のアドレスとして入力されて、式1の $d_x(x_l, y_l, z_l)$ 、 $d_y(x_l, y_l, z_l)$ 、 $d_z(x_l, y_l, z_l)$ に対応する複数の補間用領域選択信号が出力される。次に、入力信号の上位ビッ

\*る。しかし、BGR系等の3色信号を、必要とする濃度段階の分解能でそれぞれにデジタル信号に変換した時の情報量は非常に多く、従ってテーブルメモリの容量が莫大になり、コストが非常に高くなる。例えば、入力BGR各色に対し8ビットを割り当て、出力YMCCK各色が8ビットで出力されるとすると、 $2^4 \times 4$ バイトのメモリが必要となってしまう実用的ではない。

【0003】そこで、テーブルメモリを用いて色信号変換を行う場合のメモリ容量削減の方法として、従来は補間を用いる方法が主に検討されてきた。即ち、入力信号の上位ビットをアドレスとした色補正メモリを用いることによってメモリ容量を削減し、粗くなった分を下位ビットを用いた補間回路によって補正しようとする方法(例えば、特公昭58-16180号公報、特開平2-187374号公報参照)である。しかしながら、これらの従来の補間方法は、大きなメモリ容量を必要としたり、隣の補間領域との境界で不連続になる等、まだ問題があった。

【0004】そのような従来の技術の問題点を解決するための方法を、本発明者は本願と同時に提出した別途の出願(願書記載の整理番号=E9100034)において提案した。本発明は、上記別途の出願の発明と同様に前記従来の技術を解決するとともに、その別途の出願の発明をさらに改良するものである。そこで、まず上記別途の出願における補間方法を、図9と式1により説明する。

【0005】

トの組と前記補間用領域選択信号の一部が、補間用強度信号出力メモリ51~53に入力されて、式1の $a_x(x_h, y_h, z_h, d_x(x_l, y_l, z_l))$ 、 $a_y(x_h, y_h, z_h, d_y(x_l, y_l, z_l))$ 、 $a_z(x_h, y_h, z_h, d_z(x_l, y_l, z_l))$ に相当する複数の補間用強度信号が出力される。次に、前記複数の補間用強度出力の各々が補間用乗算器61~63により入力信号の下位ビットの内の1つと乗算され、複数の補間データが出力される。最後に、補間用加算器31~36により前記基準データと複数の補間データが加算されて、最終的に式1の $X'(x, y, z)$ に相当する補間済みの値が出力される。

【0007】この方式は、以下のような特徴を持っている。

(1) メモリから呼び出す時の複雑なアドレス変換が不要であり、従って簡単な回路構成でかつ高速処理が可能。

(2) 色補正メモリの中のデータが規則正しく並んでいることを前提とせず、特開平2-73779号公報、特開平2-187374号公報で提案したデータの規則

\*コストが高くなってしまうという問題があったのである。

【0009】

【発明が解決しようとする課題】従って、本発明は、前記問題点を解決するものであって、3つの色信号にKのコントロール信号を加えた4つの入力信号に対して、メモリ容量をそれほど増やすことなく高速な変換を可能とする色信号変換装置を提供することを第1の目的とする。また、本発明は、3つの色信号にKのコントロール信号を加えた4つの入力信号の場合に限定されることはなく、YMcKの様な4つの入力信号を他の色信号に変換する場合にも適用可能である。また、本発明は、前記同時出願で提案した方法および装置の主な特徴をそのまま踏襲するものである。したがって、本発明は、次に示す利点を有する色信号変換方法および装置を提供することを他の目的とするものである。

(1) メモリから呼び出す時の複雑なアドレス変換が不要であり、従って簡単な回路構成でかつ高速処理が可能。

(2) 色補正メモリの中のデータが規則正しく並んでいることを前提とせず、前述のデータの規則性をくずして出力の色再現範囲外に対応するメモリを削減する技術(特開平2-73779号公報、特開平2-187374号公報)と相容れる。

(3) 隣の補間領域との境界での連続性を確保。  
 $[0 \ 0 \ 1 \ 0]$

【課題を解決するための手段】本発明は、４つの入力信号の各々を上位ビットと下位ビットに分け、上位ビットの組みから得られる基準データと、上位ビットの組みと下位ビットから得られる補間データの組みとを加算して出力信号を得る色信号変換方法において、補間対象領域の各１６頂点体を、該１６頂点体を構成する１６の格子点のうちの１つの格子点を通る２４の５頂点体に分割し、該５頂点体の各々で異なる補間データの組みを用いることを特徴とする。

【0011】これを式で表すと、式2のようになる。

$$\begin{aligned} X' (x, y, z, t) &= X' (x_h, y_h, z_h, t_h) + a_x (x_h, y_h, z_h, t_h, d_x (x_1, y_1, z_1, t_1)) x_1 + a_y (x_h, y_h, z_h, t_h, d_y (x_1, y_1, z_1, t_1)) y_1 + a_z (x_h, y_h, z_h, t_h, d_z (x_1, y_1, z_1, t_1)) z_1 + a_t (x_h, y_h, z_h, t_h, d_t (x_1, y_1, z_1, t_1)) t_1 \\ &= X' (x_h, y_h, z_h, t_h) + c (b_x (x_h, y_h, z_h, t_h, d_x (x_1, y_1, z_1, t_1)), x_1) + c (b_y (x_h, y_h, z_h, t_h, d_y (x_1, y_1, z_1, t_1)), y_1) \\ &\quad + c (b_z (x_h, y_h, z_h, t_h, d_z (x_1, y_1, z_1, t_1)), z_1) + c (b_t (x_h, y_h, z_h, t_h, d_t (x_1, y_1, z_1, t_1)), t_1) \\ &= X' (x_h, y_h, z_h, t_h) + a_x (e_x (x_h, y_h, z_h, t_h), d_x (x_1, y_1, z_1, t_1)) x_1 + a_y (e_y (x_h, y_h, z_h, t_h), d_y (x_1, y_1, z_1, t_1)) y_1 + a_z (e_z (x_h, y_h, z_h, t_h), d_z (x_1, y_1, z_1, t_1)) z_1 + a_t (e_t (x_h, y_h, z_h, t_h), d_t (x_1, y_1, z_1, t_1)) t_1 \end{aligned}$$

$$\begin{aligned}
 & l, y_l, z_l, t_l) ) z_l + a_t (e_t (x_h, y_h, z_h, t_h), d_t (x_l \\
 & , y_l, z_l, t_l) ) t_l \\
 & = X' (x_h, y_h, z_h, t_h) + c (b_x (e_x (x_h, y_h, z_h, t_h), \\
 & d_x (x_l, y_l, z_l, t_l) ), x_l) + c (b_y (e_y (x_h, y_h, z_h, t_h), \\
 & d_y (x_l, y_l, z_l, t_l) ), y_l) + c (b_z (e_z (x_h, y_h, z_h, t_h), \\
 & d_z (x_l, y_l, z_l, t_l) ), z_l) + c (b_t (e_t (x_h, y_h, z_h, t_h), \\
 & d_t (x_l, y_l, z_l, t_l) ), t_l) \dots \dots \dots \text{式} \\
 & 2
 \end{aligned}$$

【0012】ここで、 $X' (x, y, z, t)$  は入力  $(x, y, z, t)$  における 1つの出力の値を、 $x_h, y_h, z_h, t_h$  は入力の上位ビットを、 $x_l, y_l, z_l$  は入力の下位ビットを、 $X' (x_h, y_h, z_h, t_h)$  は上位ビットの組みから得られる基準データをそれぞれ表す。

【0013】(ここに段落番号を挿入してください。)  
 $a_x (x_h, y_h, z_h, t_h, d_x (x_l, y_l, z_l, t_l) ), a_y (x_h, y_h, z_h, t_h, d_y (x_l, y_l, z_l, t_l) ), a_z (x_h, y_h, z_h, t_h, d_z (x_l, y_l, z_l, t_l) ), a_t (x_h, y_h, z_h, t_h, d_t (x_l, y_l, z_l, t_l) ), a_x (e_x (x_h, y_h, z_h, t_h), d_x (x_l, y_l, z_l, t_l) ), a_y (e_y (x_h, y_h, z_h, t_h), d_y (x_l, y_l, z_l, t_l) ), a_z (e_z (x_h, y_h, z_h, t_h), d_z (x_l, y_l, z_l, t_l) ), a_t (e_t (x_h, y_h, z_h, t_h), d_t (x_l, y_l, z_l, t_l) )$  は補間用強度信号を表す。

【0014】  
 $b_x (x_h, y_h, z_h, t_h, d_x (x_l, y_l, z_l, t_l) ), b_y (x_h, y_h, z_h, t_h, d_y (x_l, y_l, z_l, t_l) ), b_z (x_h, y_h, z_h, t_h, d_z (x_l, y_l, z_l, t_l) ), b_t (x_h, y_h, z_h, t_h, d_t (x_l, y_l, z_l, t_l) ), b_x (e_x (x_h, y_h, z_h, t_h), d_x (x_l, y_l, z_l, t_l) ), b_y (e_y (x_h, y_h, z_h, t_h), d_y (x_l, y_l, z_l, t_l) ), b_z (e_z (x_h, y_h, z_h, t_h), d_z (x_l, y_l, z_l, t_l) ), b_t (e_t (x_h, y_h, z_h, t_h), d_t (x_l, y_l, z_l, t_l) )$  は補間用

強度選択信号を表す。

10 【0015】  
 $c (b_x (x_h, y_h, z_h, t_h, d_x (x_l, y_l, z_l, t_l) ), x_l), c (b_y (x_h, y_h, z_h, t_h, d_y (x_l, y_l, z_l, t_l) ), y_l), c (b_z (x_h, y_h, z_h, t_h, d_z (x_l, y_l, z_l, t_l) ), z_l), c (b_t (x_h, y_h, z_h, t_h, d_t (x_l, y_l, z_l, t_l) ), t_l), c (b_x (e_x (x_h, y_h, z_h, t_h), d_x (x_l, y_l, z_l, t_l) ), x_l), c (b_y (e_y (x_h, y_h, z_h, t_h), d_y (x_l, y_l, z_l, t_l) ), y_l), c (b_z (e_z (x_h, y_h, z_h, t_h), d_z (x_l, y_l, z_l, t_l) ), z_l), c (b_t (e_t (x_h, y_h, z_h, t_h), d_t (x_l, y_l, z_l, t_l) ), t_l)$  は補間データを表す。

20 【0016】 $d_x (x_l, y_l, z_l, t_l), d_y (x_l, y_l, z_l, t_l), d_z (x_l, y_l, z_l, t_l), d_t (x_l, y_l, z_l, t_l)$  は下位ビットの組みから得られる補間用領域選択信号を表す。 $e_x (x_h, y_h, z_h, t_h), e_y (x_h, y_h, z_h, t_h), e_z (x_h, y_h, z_h, t_h), e_t (x_h, y_h, z_h, t_h)$  は上位ビットの組みから得られる補間対象領域の各16頂点体のうちの1つの格子点を基準として残りの15の格子点に対応する差分データを表す。

30 【0017】図1に分割方法の具体例を、表1および表2にそれに対応する補間用強度信号  $a_x, a_y, a_z, a_t$  を示した。

【表1】

表1 本発明の単位16頂点体分割方法

領域 No.	$x_1 > y_1$ $= y_1$	$y_1 > z_1$ $= z_1$	$z_1 > x_1$ $= x_1$	$x_1 > t_1$ $= t_1$	$y_1 > t_1$ $= t_1$	$z_1 > t_1$ $= t_1$	$x_1 > x_1$ $x_1 > y_1$ $x_1 > t_1$	$x_1 > y_1$ $y_1 > z_1$ $y_1 > t_1$	$y_1 > z_1$ $z_1 > x_1$ $z_1 > t_1$	$x_1 > t_1$ $y_1 > t_1$ $z_1 > t_1$
{1-1}	(1)	0	0	1	0	0	011	100	000	100
{1-3}	(1)	0	0	1	0	1	{1-1}と同様	{1-1}と同様	001	101
{1-7}	(1)	0	0	1	1	1	{1-1}と同様	101	{1-3}と同様	111
{1-8}	(1)	0	0	0	0	0	010	{1-1}と同様	{1-1}と同様	000
{2-1}	1	1	(0)	1	0	0	{1-1}と同様	110	100	{1-1}と同様
{2-2}	1	1	(0)	1	1	0	{1-1}と同様	111	{2-1}と同様	110
{2-7}	1	1	(0)	1	1	1	{1-1}と同様	{2-2}と同様	101	{1-7}と同様
{2-8}	1	1	(0)	0	0	0	{1-8}と同様	{2-1}と同様	{2-1}と同様	{1-8}と同様
{3-3}	1	(0)	1	1	0	1	111	{1-1}と同様	011	{1-3}と同様
{3-4}	1	(0)	1	0	0	1	110	{1-1}と同様	{3-3}と同様	001
{3-7}	1	(0)	1	1	1	1	{3-3}と同様	{1-7}と同様	{3-3}と同様	{1-7}と同様
{3-8}	1	(0)	1	0	0	0	{3-4}と同様	{1-1}と同様	010	{1-8}と同様
{4-4}	0	0	(1)	0	0	1	100	000	{3-3}と同様	{3-7}と同様
{4-6}	0	0	(1)	0	1	1	{4-4}と同様	001	{3-3}と同様	011
{4-7}	0	0	(1)	1	1	1	101	{4-6}と同様	{3-3}と同様	と同様{1-7}
{4-8}	0	0	(1)	0	0	0	{4-4}と同様	{4-4}と同様	{3-8}と同様	と同様{1-8}
{5-2}	0	(1)	0	1	1	0	001	011	{2-1}と同様	と同様{2-2}
{5-5}	0	(1)	0	0	1	0	000	{5-2}と同様	{2-1}と同様	010
{5-7}	0	(1)	0	1	1	1	{5-2}と同様	{5-2}と同様	{2-7}と同様	{1-7}と同様
{5-8}	0	(1)	0	0	0	0	{5-5}と同様	010	{2-1}と同様	{1-8}と同様
{6-5}	(0)	1	1	0	1	0	{4-4}と同様	{5-2}と同様	110	{5-5}と同様
{6-6}	(0)	1	1	0	1	1	{4-4}と同様	{5-2}と同様	111	{4-6}と同様
{6-7}	(0)	1	1	1	1	1	{4-7}と同様	{5-2}と同様	{6-6}と同様	{1-7}と同様
{6-8}	(0)	1	1	0	0	0	{4-4}と同様	{5-8}と同様	{6-5}と同様	{1-8}と同様

【表2】

表2 (表1の続き 注:  $x_{hl}, y_{hl}, z_{hl}, t_{hl}$  は、補間対象領域の単位長を表す)

領域 No.	$a_x \cdot x_{hl}$	$a_y \cdot y_{hl}$	$a_z \cdot z_{hl}$	$a_t \cdot t_{hl}$
{1-1}	$x'(x_h+1, y_h, z_h, t_h)$ $-x'(x_h, y_h, z_h, t_h)$	$x'(x_h+1, y_h+1, z_h+1, t_h+1)$ $-x'(x_h+1, y_h, z_h+1, t_h+1)$	$x'(x_h+1, y_h, z_h+1, t_h+1)$ $-x'(x_h+1, y_h, z_h, t_h+1)$	$x'(x_h+1, y_h, z_h, t_h+1)$ $-x'(x_h+1, y_h, z_h, t_h)$
{1-8}	{1-1}と同様	{1-1}と同様	$x'(x_h+1, y_h, z_h+1, t_h)$ $-x'(x_h+1, y_h, z_h, t_h)$	$x'(x_h+1, y_h, z_h+1, t_h+1)$ $-x'(x_h+1, y_h, z_h+1, t_h)$
{1-7}	{1-1}と同様	$x'(x_h+1, y_h+1, z_h+1, t_h)$ $-x'(x_h+1, y_h, z_h+1, t_h)$	{1-8}と同様	$x'(x_h+1, y_h+1, z_h+1, t_h+1)$ $-x'(x_h+1, y_h+1, z_h+1, t_h)$
{1-8}	$x'(x_h+1, y_h, z_h, t_h+1)$ $-x'(x_h, y_h, z_h, t_h+1)$	{1-1}と同様	{1-1}と同様	$x'(x_h, y_h, z_h, t_h+1)$ $-x'(x_h, y_h, z_h, t_h)$
{2-1}	{1-1}と同様	$x'(x_h+1, y_h+1, z_h, t_h+1)$ $-x'(x_h+1, y_h, z_h, t_h+1)$	$x'(x_h+1, y_h+1, z_h+1, t_h+1)$ $-x'(x_h+1, y_h+1, z_h, t_h+1)$	{1-1}と同様
{2-2}	{1-1}と同様	$x'(x_h+1, y_h+1, z_h, t_h)$ $-x'(x_h+1, y_h, z_h, t_h)$	{2-1}と同様	$x'(x_h+1, y_h+1, z_h, t_h+1)$ $-x'(x_h+1, y_h+1, z_h, t_h)$
{2-7}	{1-1}と同様	{2-2}と同様	$x'(x_h+1, y_h+1, z_h+1, t_h)$ $-x'(x_h+1, y_h+1, z_h, t_h)$	{1-7}と同様
{2-8}	{1-8}と同様	{2-1}と同様	{2-1}と同様	{1-8}と同様
{3-3}	$x'(x_h+1, y_h, z_h+1, t_h)$ $-x'(x_h, y_h, z_h+1, t_h)$	{1-1}と同様	$x'(x_h, y_h, z_h+1, t_h)$ $-x'(x_h, y_h, z_h, t_h)$	{1-3}と同様
{3-4}	$x'(x_h+1, y_h, z_h+1, t_h+1)$ $-x'(x_h, y_h, z_h+1, t_h+1)$	{1-1}と同様	{3-3}と同様	$x'(x_h, y_h, z_h+1, t_h+1)$ $-x'(x_h, y_h, z_h+1, t_h)$
{3-7}	{3-3}と同様	{1-7}と同様	{3-3}と同様	{1-7}と同様
{3-8}	{3-4}と同様	{1-1}と同様	$x'(x_h, y_h, z_h+1, t_h+1)$ $-x'(x_h, y_h, z_h, t_h+1)$	{1-8}と同様
{4-4}	$x'(x_h+1, y_h+1, z_h+1, t_h+1)$ $-x'(x_h, y_h+1, z_h+1, t_h+1)$	$x'(x_h, y_h+1, z_h+1, t_h+1)$ $-x'(x_h, y_h, z_h+1, t_h+1)$	{3-3}と同様	{3-7}と同様
{4-6}	{4-4}と同様	$x'(x_h, y_h+1, z_h+1, t_h)$ $-x'(x_h, y_h, z_h+1, t_h)$	{3-3}と同様	$x'(x_h, y_h+1, z_h+1, t_h+1)$ $-x'(x_h, y_h+1, z_h+1, t_h)$
{4-7}	$x'(x_h+1, y_h+1, z_h+1, t_h)$ $-x'(x_h, y_h+1, z_h+1, t_h)$	{4-6}と同様	{3-3}と同様	{1-7}と同様
{4-8}	{4-4}と同様	{4-4}と同様	{3-8}と同様	{1-8}と同様
{5-2}	$x'(x_h+1, y_h+1, z_h, t_h)$ $-x'(x_h, y_h+1, z_h, t_h)$	$x'(x_h, y_h+1, z_h, t_h)$ $-x'(x_h, y_h, z_h, t_h)$	{2-1}と同様	{2-2}と同様
{5-5}	$x'(x_h+1, y_h+1, z_h+1, t_h+1)$ $-x'(x_h, y_h+1, z_h+1, t_h+1)$	{5-2}と同様	{2-1}と同様	$x'(x_h, y_h+1, z_h, t_h+1)$ $-x'(x_h, y_h+1, z_h, t_h)$
{5-7}	{5-2}と同様	{5-2}と同様	{2-7}と同様	{1-7}と同様
{5-8}	{5-5}と同様	$x'(x_h, y_h+1, z_h, t_h+1)$ $-x'(x_h, y_h, z_h, t_h+1)$	{2-1}と同様	{1-8}と同様
{6-5}	{4-4}と同様	{5-2}と同様	$x'(x_h, y_h+1, z_h+1, t_h+1)$ $-x'(x_h, y_h+1, z_h, t_h+1)$	{5-5}と同様
{6-6}	{4-4}と同様	{5-2}と同様	$x'(x_h, y_h+1, z_h+1, t_h)$ $-x'(x_h, y_h, z_h, t_h+1)$	{4-6}と同様
{6-7}	{4-7}と同様	{5-2}と同様	{6-6}と同様	{1-7}と同様
{6-8}	{4-4}と同様	{5-8}と同様	{6-6}と同様	{1-8}と同様

図1は、本来は4次元のところを3次元的に書かざるをえないので正確なものではないし、また、スペースの都合上、領域 {2} {3} {4} {5} の分割の図は省略してあるが、補間対象領域の16頂点体が24の5頂点体に分割されることを示している。なお、図1では、補間対象領域の16頂点体を立方体2つで図示したが、本発明は補間対象領域をそれに限定することではなく、辺の長さが異なる16頂点体や、極座標表示の入力の場合等の変形16頂点体の場合にも適用が可能である。図1は、本来は4次元のところを3次元的に書かざるをえないので正確なものではないし、また、スペースの都合上、領域 {2} {3} {4} {5} の分割の図は省略してあるが、補間対象領域の16頂点体が24の5頂点体に分割されることを示している。なお、図1では、補間

対象領域の16頂点体を立方体2つで図示したが、本発明は補間対象領域をそれに限定することではなく、辺の長さが異なる16頂点体や、極座標表示の入力の場合等の変形16頂点体の場合にも適用が可能である。

【0018】前記本発明の色信号変換方法を実施するための装置は、色を表す4つの入力信号の各々を上位ビットと下位ビットに分け、その上位ビットの組みをアドレス信号として入力したとき、基準データを出力する基準データ用色補正メモリ手段(図2～図8の1)と、前記上位ビットの組みと下位ビットの組みに基づいて補間データの組を出力する補間データ作成手段(図2の5, 6, 7, 図3の5, 6, 8, 図4の2, 4, 7, 図5の2, 4, 8, 図6の6, 8～11, 図7の2, 8～12, )と、前記色補正メモリ手段の出力と補間データ作



成手段の出力を加算し、出力信号を得る加算手段(図2～図8の1)とを備えた色信号変換装置であって、前記補間データ作成手段が、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを対応させる手段(図2の5、7、図3の5、8、図4の4、7、図5の4、8、図6の8～11、図7の8～12、図8の4、7)を有することを特徴とする。

【0019】また、本発明の具体的な態様においては、前記構成において、前記補間データ作成手段は、前記24の5頂点体のいずれに属するかを判定するため、4つの入力信号の下位ビットの組みをアドレス信号として入力し、補間用強度信号の共通性に適合した複数の補間用領域選択信号を出力する補間用領域選択メモリ手段(図2、図4の7)を有することを特徴とする。ここで、補間用領域選択信号は、式2の $d_x(x_l, y_l, z_l, t_l)$ ,  $d_y(x_l, y_l, z_l, t_l)$ ,  $d_z(x_l, y_l, z_l, t_l)$ ,  $d_t(x_l, y_l, z_l, t_l)$ と対応し、表1の $[z_l > x_l, x_l > y_l, x_l > t_l]$ ,  $[x_l > y_l, y_l > z_l, y_l > t_l]$ ,  $[y_l > z_l, z_l > x_l, z_l > t_l]$ ,  $[x_l > t_l, y_l > t_l, z_l > t_l]$ の信号に相当している。そして、この補間用領域選択信号は、同じく表1でわかるように、24の5頂点体において補間用強度信号 $a_x$ ,  $a_y$ ,  $a_z$ ,  $a_t$ は全て異なるが、 $a_x$ ,  $a_y$ ,  $a_z$ ,  $a_t$ の各々の要素について見れば共通のものがあるので、その共通性に適合する信号となっている。

【0020】また、本発明の他の態様では、前記補間データ作成手段は、前記補間用領域選択メモリ手段の代わりに、前記24の5頂点体のいずれに属するかを判定するため、4つの入力信号の下位ビット同士、または、4つの入力信号のいくつかの下位ビットをシフトしたもの同士を比較する複数組の比較器(図3、5、7の8)と、該比較器の出力の組合せを補間用強度信号の共通性に適合した複数の補間用領域選択信号として出力する手段を有することを特徴とする。これは、メモリを使って補間用領域選択信号を出力する代わりに、比較器等を用いて演算させるものであり、図1および表1の分割の場合は、表1の $x_l > y_l$ ,  $y_l > z_l$ ,  $z_l > x_l$ ,  $x_l > t_l$ ,  $y_l > t_l$ ,  $z_l > t_l$ に対応する6個の比較器が必要となる。なお、4つの入力信号の下位ビットのビット数が異なる場合は、比較器の前にシフトレジスタをつけて、オーダを合わせておけばよい。

【0021】次に、本発明の具体的な態様では、前記補間データ作成手段は、4つの入力信号の上位ビットの組みと、前記補間用領域選択信号の一部とをアドレス信号として入力し、複数の補間の強度の信号を出力する補間用強度出力メモリ手段(図2、3の5)と、該補間用強度出力メモリ手段の出力の内の1つと、4つの入力信号

の内の1つの信号の下位ビットの積を演算することにより補間データを出力する複数の補間データ出力手段(図2、3の6)を有することを特徴とする。ここで、複数の補間強度出力とは、式3の $a_x(x_h, y_h, z_h, t_h, d_x(x_l, y_l, z_l, t_l))$ ,  $a_y(x_h, y_h, z_h, t_h, d_y(x_l, y_l, z_l, t_l))$ ,  $a_z(x_h, y_h, z_h, t_h, d_z(x_l, y_l, z_l, t_l))$ ,  $a_t(x_h, y_h, z_h, t_h, d_t(x_l, y_l, z_l, t_l))$ に対応する。

【0022】また、本発明の他の態様では、前記補間データ作成手段は、前記補間用強度出力メモリ手段と積を演算する補間データ出力手段の代わりに、4つの入力信号の上位ビットの組みと、前記補間用領域選択信号の一部とをアドレス信号として入力し、複数の補間の強度の選択信号を出力する補間用強度選択出力メモリ手段(図4、5の4)と、該補間用強度選択出力メモリ手段の出力の内の1つと、4つの入力信号の内の1つの信号の下位ビットをアドレスとして入力し、補間データを出力する複数の補間データ出力メモリ手段(図4、5の2)を有することを特徴とする。

【0023】ここで、複数の補間強度選択出力は、式3の $b_x(x_h, y_h, z_h, t_h, d_x(x_l, y_l, z_l, t_l))$ ,  $b_y(x_h, y_h, z_h, t_h, d_y(x_l, y_l, z_l, t_l))$ ,  $b_z(x_h, y_h, z_h, t_h, d_z(x_l, y_l, z_l, t_l))$ ,  $b_t(x_h, y_h, z_h, t_h, d_t(x_l, y_l, z_l, t_l))$ に、補間データ出力は、式3の $c(b_x(x_h, y_h, z_h, t_h, d_x(x_l, y_l, z_l, t_l)), x_l)$ ,  $c(b_y(x_h, y_h, z_h, t_h, d_y(x_l, y_l, z_l, t_l)), y_l)$ ,  $c(b_z(x_h, y_h, z_h, t_h, d_z(x_l, y_l, z_l, t_l)), z_l)$ ,  $c(b_t(x_h, y_h, z_h, t_h, d_t(x_l, y_l, z_l, t_l)), t_l)$ に対応する。ここでは、積を演算する代わりにメモリを用いているので、補間強度そのものを用いる必要がなく、対応する補間強度を用いて乗算した結果が入っているアドレスを指定するための補間強度選択出力が使われる。

【0024】また、本発明の他の態様では、前記補間データ作成手段は、前記補間用強度出力メモリ手段の代わりに、4つの入力信号の上位ビットの組みをアドレスとして入力し、補間対象領域の各16頂点体のうちの1つの格子点を基準として残りの15の格子点に対応する差分データを出力するメモリ部分(図6の9)と、該差分データの差分を計算する複数の減算部分(図6の10)と、該差分データ、または、該減算結果の中から前記補間用領域選択信号の一部を用いて適切な複数の補間の強度の出力を選択する部分(図6の11)からなる補間用強度出力手段と、該補間用強度出力手段の出力の内の1つと、4つの入力信号の内の1つの信号の下位ビットの積を演算することにより補間データを出力する複数の補間データ出力手段(図6の6)を有することを特徴

とする。ここで、補間対象領域の各16頂点体のうちの1つの格子点を基準として残りの15の格子点に対応する差分データは、式3の $e_x(x_h, y_h, z_h, t_h)$ ,  $e_y(x_h, y_h, z_h, t_h)$ ,  $e_z(x_h, y_h, z_h, t_h)$ ,  $e_t(x_h, y_h, z_h, t_h)$ に、補間用強度出力は $a_x(e_x(x_h, y_h, z_h, t_h), d_x(x_l, y_l, z_l, t_l))$ ,  $a_y(e_y(x_h, y_h, z_h, t_h), d_y(x_l, y_l, z_l, t_l))$ ,  $a_z(e_z(x_h, y_h, z_h, t_h), d_z(x_l, y_l, z_l, t_l))$ ,  $a_t(e_t(x_h, y_h, z_h, t_h), d_t(x_l, y_l, z_l, t_l))$ に対応する。

【0025】また、本発明の他の態様では、前記補間データ作成手段は、補間用強度選択出力メモリ手段の代わりとして、4つの入力信号の上位ビットの組みをアドレスとして入力し、補間対象領域の各16頂点体のうちの1つの格子点を基準として残りの15の格子点に対応する差分データを出力するメモリ部分(図7の9)と、該差分データの差分を計算する複数の減算部分(図7の10)と、該差分データ、または、該減算結果の中から前記補間用領域選択信号の一部を用いて適切な複数の補間の強度の出力を選択する部分(図7の11)と、それら選択された複数の補間の強度の出力を複数の補間の強度の選択出力に変換する部分(図7の12)からなる補間用強度選択出力手段と、該補間用強度選択出力手段の出力の内の1つと、4つの入力信号の内の1つの信号の下位ビットをアドレスとして入力し、補間データを出力する複数の補間データ出力メモリ手段(図7の2)を有することを特徴とする。

【0026】ここで、補間用強度選択出力は、式3の $b_x(e_x(x_h, y_h, z_h, t_h), d_x(x_l, y_l, z_l, t_l))$ ,  $b_y(e_y(x_h, y_h, z_h, t_h), d_y(x_l, y_l, z_l, t_l))$ ,  $b_z(e_z(x_h, y_h, z_h, t_h), d_z(x_l, y_l, z_l, t_l))$ ,  $b_t(e_t(x_h, y_h, z_h, t_h), d_t(x_l, y_l, z_l, t_l))$ に、補間データ出力は、式3の $c(b_x(e_x(x_h, y_h, z_h, t_h), d_x(x_l, y_l, z_l, t_l)), x_l)$ ,  $c(b_y(e_y(x_h, y_h, z_h, t_h), d_y(x_l, y_l, z_l, t_l)), y_l)$ ,  $c(b_z(e_z(x_h, y_h, z_h, t_h), d_z(x_l, y_l, z_l, t_l)), z_l)$ ,  $c(b_t(e_t(x_h, y_h, z_h, t_h), d_t(x_l, y_l, z_l, t_l)), t_l)$ に対応する。この場合も、積を演算する代わりにメモリを用いているので、補間強度そのものを用いる必要がなく、補間強度は対応する補間強度を用いて乗算した結果が入っているアドレスを指定するための補間強度選択出力に変換される。

【0027】また、本発明の色信号変換装置は、第1の表色系の色を表わす4つの入力信号の内の第1および第2の2つの入力信号をアドレスとして入力し、出力装置の色再現範囲を考慮してあらかじめ定められた起点アド

レスと前記2つの入力信号の修正された下位ビットとを出力する起点アドレス/下位ビット生成メモリ(図8の13)と、前記第1および第2の入力信号をアドレスとして入力し、前記出力装置の色再現範囲を考慮した前記4つの入力信号の内の第3の入力信号の最大値/最小値を出力する最大最小生成メモリ(図8の14)と、前記第3の入力信号を前記最大最小生成メモリから出力された最大値/最小値に基づいて修正する演算器(図8の16, 17)と、前記起点アドレス/下位ビット生成メモリから出力された起点アドレスと前記演算器によって修正された結果の一定数の上位ビットとの和を求めるアドレス加算器(図8の15)と、前記アドレス加算器の出力および前記4つの入力信号の内の第4の入力信号をアドレスとして入力し、第2の表色系の色を表わす基準データ信号を出力する基準データ用色補正メモリ(図8の1)と、前記アドレス加算器の出力する上位ビットの組みと前記入力信号の修正された下位ビットの組みに基づいて補間データの組を出力する補間データ作成手段(図8の7, 5, 6)と、前記基準データ用色補正メモリの出力と補間データ作成手段の出力を加算し、第2の表色系の色を表す出力信号を得る加算手段(図8の3)とを備え、かつ、前記補間データ作成手段が、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを対応させる手段(図8の7, 5)を有する。

【0028】

【作用】本発明によれば、4つの入力信号の各々が上位ビットと下位ビットに分けられ、まず上位ビットの組が基準データ用色補正メモリ手段のアドレスとして入力され、式2の $X'(x_h, y_h, z_h, t_h)$ に相当する基準データが出力される。

【0029】また、入力信号の下位ビットの組が、補間用領域選択メモリ手段のアドレスとして入力されるか、または、比較器等から構成される補間用領域選択信号出力手段に入力されて、式2の $d_x(x_l, y_l, z_l, t_l)$ ,  $d_y(x_l, y_l, z_l, t_l)$ ,  $d_z(x_l, y_l, z_l, t_l)$ ,  $d_t(x_l, y_l, z_l, t_l)$ に対応する複数の補間用領域選択信号が出力される。

【0030】次に、入力信号の上位ビットの組と前記補間用領域選択信号の一部が、補間用強度出力メモリ手段、または、補間用強度出力手段に入力されて、式2の $a_x(x_h, y_h, z_h, t_h, d_x(x_l, y_l, z_l, t_l))$ ,  $a_y(x_h, y_h, z_h, t_h, d_y(x_l, y_l, z_l, t_l))$ ,  $a_z(x_h, y_h, z_h, t_h, d_z(x_l, y_l, z_l, t_l))$ ,  $a_t(x_h, y_h, z_h, t_h, d_t(x_l, y_l, z_l, t_l))$ または $a_x(e_x(x_h, y_h, z_h, t_h), d_x(x_l, y_l, z_l, t_l))$ ,  $a_y(e_y(x_h, y_h, z_h, t_h), d_y(x_l, y_l, z_l, t_l))$ ,  $a_z(e_z(x_h, y_h, z_h, t_h), d_z(x$

10

20

30

40

50

l, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>), a<sub>t</sub>(e<sub>t</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>t</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>))に相当する複数の補間用強度信号が出力される。

【0031】または、入力信号の上位ビットの組と前記上記補間用領域選択信号の一部が、補間用強度選択出力メモリ手段、または、補間用強度選択出力手段に入力されて、式3のb<sub>x</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>x</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), b<sub>y</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>y</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), b<sub>z</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>z</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), b<sub>t</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>t</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)) または b<sub>x</sub>(e<sub>x</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>x</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), b<sub>y</sub>(e<sub>y</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>y</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), b<sub>z</sub>(e<sub>z</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>z</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), b<sub>t</sub>(e<sub>t</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>t</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>))に相当する複数の補間用強度選択信号が出力される。

【0032】次に、前記複数の補間用強度出力の各々が入力信号の下位ビットの内の1つと乗算され、複数の補間データが出力される。または、補間用強度選択出力の各々と入力信号の下位ビットの各々が複数の補間データ出力メモリ手段のアドレスとして入力され、式3のc(b<sub>x</sub>(e<sub>x</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>x</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), x<sub>l</sub>), c(b<sub>y</sub>(e<sub>y</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>y</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), y<sub>l</sub>), c(b<sub>z</sub>(e<sub>z</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>z</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), z<sub>l</sub>), c(b<sub>t</sub>(e<sub>t</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>), d<sub>t</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), t<sub>l</sub>)に相当する複数の補間データが出力される。最後に、前記基準データと複数の補間データが加算されて、最終的に式3のX'(x, y, z, t)に相当する補間済みの値が出力される。

【0033】また、上述の補間データ作成手段を有する構成に加えて、起点アドレス/下位ビット生成メモリ、アドレス加算器、最大最小生成メモリおよび演算器を有する本発明の態様においては、上述の補間データ作成手段を有する構成による作用効果が得られるばかりでなく、起点アドレスを出力装置の表色系の色再現範囲を考慮して各色補正メモリに無駄が生じないように予め定めることができ、また、出力装置の色再現範囲外の色に対応する入力信号があったとき、これを出力装置の色再現範囲内の色に対応する信号に変換するので各色補正メモリの容量を一層大幅に削減することができ、かつ、さらに高速な色信号変換装置が実現できる。

【0034】

【実施例】図2以下に、本発明の実施例を示す。これらの図では、説明を容易にするため、入力をKのコントロールn'+8-nビット、L\*7ビット、a\*8ビット、b\*8ビットで、この内の下位ビットを各8-nビ

ットで、出力をY%, M%, C%, (K%)各8ビットで表しているが、本発明は、これら入出力の種類とビット数に限定されることなく、如何なる入出力の種類とビット数でも適用可能である。また、これらの図には、1種類の出力に対する回路構成しか明示していないが、これを複数種類の出力に拡張することは容易であるので、省略した。なお、複数種類の出力に拡張する場合、補間用領域選択信号出力メモリ手段、または、補間用領域選択信号出力手段等の複数種類の出力に共通してもよい部分は、図示のように共通する部分として残してもよいし、ハードウェア化する時に複数種類の出力に対応して完全に分離したい場合等に、各出力に対応して各々独立に共通する部分を重複して持ってもよい。

【0035】第1の実施例

図2に、本発明の第1の実施例を示す。第1の実施例は、基準データ用色補正メモリ1、補間用領域選択信号出力メモリ7、補間用強度信号出力メモリ51-54、補間用乗算器61-64、補間用加算器31-37より構成されている。基準データ用色補正メモリ1は、入力のKコントロールとL\*a\*b\*の上位ビットをアドレスとして入力し、式3のX'(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>)に相当する補正の基準値を読み出して出力するルックアップテーブルメモリである。また、補間用領域選択信号出力メモリ7は、入力のKコントロールとL\*a\*b\*の下位ビットがアドレスとして入力され、式3のd<sub>x</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>), d<sub>y</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>), d<sub>z</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>), d<sub>t</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)に対応する補間用領域選択信号を出力するルックアップテーブルメモリであり、図2では、図1および表1の分割方法に対応させて、4系統の3ビット出力で表現した。なお、図2では、入力の下位ビット数は同一で表現したが、異なるビット数であっても問題はない。

【0036】次に、補間用強度信号出力メモリ51-54は、入力のKコントロールとL\*a\*b\*の上位ビットと前記補間用領域選択信号がアドレスとして入力され、式3のa<sub>x</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>x</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), a<sub>y</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>y</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), a<sub>z</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>z</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), a<sub>t</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>t</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>))に相当する複数の補間用強度信号を出力するルックアップテーブルメモリであり、そのビット幅は、次につながる乗算や加算の要求精度から決定される。

【0037】次に、補間用乗算器61-64は、前記補間用強度信号出力と入力のKコントロールとL\*a\*b\*の下位ビットの各々と乗算して、式3のc(b<sub>x</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>x</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), x<sub>l</sub>), c(b<sub>y</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>y</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), y<sub>l</sub>), c(b<sub>z</sub>(x<sub>h</sub>, y<sub>h</sub>, z<sub>h</sub>, t<sub>h</sub>, d<sub>z</sub>(x<sub>l</sub>, y<sub>l</sub>, z<sub>l</sub>, t<sub>l</sub>)), z<sub>l</sub>), c(b<sub>t</sub>

( $x_h, y_h, z_h, t_h, d_t(x_l, y_l, z_l, t_l)$ ))、 $t_l$ )に対応する複数の補間データを出力するものであり、その出力ビット幅も、次につながる加算の要求精度から決定される。最後に、補間用加算器3は、前記補正の基準値と、前記補間データを加算して、最終的な補間された値を出力する。

【0038】この第1の実施例の色信号変換装置は、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを用いるように、領域選択信号出力メモリ7および補間用強度信号出力メモリ5<sub>1</sub>~5<sub>4</sub>を設けたことにより、従来のような色補正メモリから呼び出す時の複雑なアドレス変換を不要とする。従って簡単な回路構成でかつ高速処理を可能とするものである。特に3つの色信号にKのコントロール信号を加えた4つの入力信号に対して、メモリ容量をそれほど増やすことなく高速な変換を可能とする。また、本実施例が色補正メモリの中のデータが規則正しく並んでいることを前提としないので、前述の特開平2-73779号公報や特開平2-187374号公報に開示されているようなデータの規則性をくずして出力の色再現範囲外に対応するメモリーを削減する技術と共に用いることができ、かつ、隣の補間領域との境界での連続性の確保を可能とするものである。なお、その色再現範囲外に対応するメモリーを削減する技術を用いた応用例については第7の実施例として後述する。また、本実施例は、補間用領域選択信号出力メモリ7および補間用乗算器を設けたことにより、出力についての演算回数をなるべく少なくし、従って簡単な回路構成でかつ高速処理を可能としている。

#### 【0039】第2の実施例

図3に、本発明の第2の実施例を示す。第2の実施例は、第1の実施例での補間用領域選択信号出力メモリ7の代わりに、入力Kのコントロールと $L*a*b^*$ の下位ビット同士を比較する複数の比較器8<sub>1</sub>~8<sub>6</sub>が用いられているほかは第1の実施例と同様である。すなわち、メモリを使って補間用領域選択信号を出力する代わりに、6個の比較器を用いて演算させるものであり、図1および表1の分割の場合は、下位ビット数が大きくなると補間用領域選択信号出力メモリ7が大きくなってしまうので、下位ビット数が大きくなる場合はこちらの方が有効な手段となる。ここでの複数の比較器8<sub>1</sub>~8<sub>6</sub>の組合せは、図1および表1の分割方法に対応しており、境界面での動作を考慮しているため、1つが等号を含み、他の5つが等号を含まない比較器から構成されている。比較器は表1の $x_l \geq y_l, y_l \geq z_l, z_l \geq x_l, x_l \geq t_l, y_l \geq t_l, z_l \geq t_l$ に対応する。なお、第2の実施例で、入力の下位ビットのビット数が異なる場合は、比較器8の前にシフトレジスタを挿入し、ビット数を一致させるようにすればよい。

#### 【0040】第3の実施例

図4に、本発明の第3の実施例を示す。第3の実施例は、第1の実施例での補間用強度信号出力メモリ5と補間用乗算器6の代わりに、補間用強度選択信号出力メモリ4<sub>1</sub>~4<sub>4</sub>と補間データ用メモリ2<sub>1</sub>~4<sub>4</sub>が用いられているほかは、第1の実施例と同様であり、第1の実施例との比較では、上位ビット数が増え、下位ビット数が減少すると、全体の回路規模はこちらの方が小さくなる。補間用強度選択出力メモリ4<sub>1</sub>~4<sub>4</sub>は、Kコントロールと $L*a*b^*$ の上位ビットと、補間用領域選択信号の一部がアドレスとして入力されると、式2の $b_x(e_x(x_h, y_h, z_h, t_h), d_x(x_l, y_l, z_l, t_l)), b_y(e_y(x_h, y_h, z_h, t_h), d_y(x_l, y_l, z_l, t_l)), b_z(e_z(x_h, y_h, z_h, t_h), d_z(x_l, y_l, z_l, t_l)), b_t(e_t(x_h, y_h, z_h, t_h), d_t(x_l, y_l, z_l, t_l))$ に対応する補間の強度の選択信号を出力するテーブルルックアップメモリである。この補間用強度選択信号は、次段に、乗算器の代わりにテーブルルックアップメモリを用いているので、補間の強度信号そのものでなく、対応する補間の強度信号に対応する補間データが格納されているメモリのアドレスとなっている。そして、そのビット幅は、入力の色空間全体で、何種類の異なる補間の強度信号が必要かで決定される。

【0041】補間データ用メモリ2<sub>1</sub>~2<sub>4</sub>は、この補間用強度選択出力メモリ4<sub>1</sub>~4<sub>4</sub>の出力する補間領域の選択信号と、入力Kのコントロールと $L*a*b^*$ の下位ビットの内の1つがアドレスとして入力されると、式2の $c(b_x(e_x(x_h, y_h, z_h, t_h), d_x(x_l, y_l, z_l, t_l)), x_l), c(b_y(e_y(x_h, y_h, z_h, t_h), d_y(x_l, y_l, z_l, t_l)), y_l), c(b_z(e_z(x_h, y_h, z_h, t_h), d_z(x_l, y_l, z_l, t_l)), z_l), c(b_t(e_t(x_h, y_h, z_h, t_h), d_t(x_l, y_l, z_l, t_l)), t_l)$ に対応する補間値を出力するテーブルルックアップメモリであり、その出力ビット幅は、次につながる加算の要求精度から決定される。

#### 【0042】第4の実施例

図5に、本発明の第4の実施例を示す。第4の実施例は、第3の実施例での補間用領域選択信号出力メモリ7の代わりに、入力Kのコントロールと $L*a*b^*$ の下位ビット同士を比較する複数の比較器8<sub>1</sub>~8<sub>6</sub>が用いられているほかは、第3の実施例と同様である。入力Kのコントロールと $L*a*b^*$ の下位ビット同士を比較する複数の比較器8を用いる場合の諸事項は、第2の実施例と同じであるので説明を省略する。

#### 【0043】第5の実施例

図6に、本発明の第5の実施例を示す。第5の実施例は、第2の実施例での補間用強度信号出力メモリ5の代わりに、補間用差分信号出力メモリ9<sub>1</sub>と、複数の減算

器10<sub>1</sub>~10<sub>28</sub>と、複数の選択器11により構成される補間用強度信号出力手段が用いられているほかは、第2の実施例と同様である。ここでの補間用強度信号出力手段の組合せは、図1および表1の分割方法に対応しており、補間用強度信号出力メモリ5と補間用差分信号出力メモリ9とのメモリ容量を比較すると、同じ上位ビット数の場合で、32:15になるので、上位ビット数が増えるに従いこの方式の有効性が増す。補間用差分信号出力メモリ9<sub>1</sub>は、入力KのコントロールとL\*a\*b\*の上位ビットをアドレスとして入力し、補間対象領域の各16頂点体の内の1つの格子点を基準として残りの15の格子点に対応する差分データを出力するテーブルルックアップメモリであり、その出力は、次の複数の減算器10<sub>1</sub>~10<sub>28</sub>に入り、複数の補間用強度信号出力が作成される。そして、その複数の補間用強度信号出力から、補間用領域選択信号によって、対応する補間領域の補間用強度信号出力が複数の選択器11<sub>1</sub>~11<sub>14</sub>によって選択され、出力される。また、第5の実施例で、比較器8<sub>1</sub>~8<sub>6</sub>の組合せの代わりに、補間用領域選択信号出力メモリを用いてもよいことは明白であるので、図は省略する。

#### 【0044】第6の実施例

図7に、本発明の第6の実施例を示す。第6の実施例は、第3の実施例での補間用強度信号出力メモリ5の代わりに、補間用差分信号出力メモリ9<sub>1</sub>と、複数の減算器10<sub>1</sub>~10<sub>28</sub>と、複数の選択器11<sub>1</sub>~11<sub>14</sub>と、複数の定数減算器12<sub>1</sub>~12<sub>4</sub>により構成される補間用強度選択信号出力手段が用いられているほかは、第3の実施例と同様である。第5の実施例での補間用強度信号出力手段と、第6の実施例での補間用強度選択信号出力手段との差異は、複数の定数減算器12<sub>1</sub>~12<sub>4</sub>の有無であり、第6の実施例では、次段に、乗算器の代わりにテーブルルックアップメモリを用いているので、補間の強度信号そのものでなく、対応する補間の強度信号に対応する補間データが格納されているメモリのアドレスを出力すればよく、そのため、補間の強度信号を補間の強度選択信号に変換する定数減算器が使われている。定数減算器以外の諸事項は、第3、または、第5の実施例と同様であるので省略する。

#### 【0045】第7の実施例

図8に、本発明の本発明の第8の実施例としてひとつの応用例を示す。図8は、前述の特開平2-187374号公報で提案したデータの規則性をくずして出力の色再現範囲外に対応するメモリーを削減する技術と、第1の実施例とを組合せたものであるが、他の実施例との組合わせも可能なことは明白である。本応用例は、第1の実施例の構成の前段に、起点アドレスおよび下位ビット生成メモリ13と、最大最小生成メモリ14と、アドレス加算器15と、最大発生比較器16と、最小発生比較器17とが付加されている。付加された部分は、特開平

2-187374号公報に詳細な説明があるので、ここではその概略について説明する。起点アドレスおよび下位ビット生成メモリ13は、出力の色再現範囲外の入力a\*b\*を、色相を同一として出力の色再現範囲内にいれる役目をもち、L\*の起点アドレスと、出力の色再現範囲内に入れた後のa\*b\*の下位ビットを出力する。最大最小生成メモリ14は、入力a\*b\*に対応するL\*の最大値と最小値を出力し、次の最大発生比較器16と、最小発生比較器17の組合せで、入力L\*と比較され、入力L\*が出力の色再現範囲外の場合に、L\*を出力の色再現範囲内に入れる働きをする。アドレス加算器15は、前記L\*の起点アドレスと、出力の色再現範囲内に入ったL\*の上位ビットの値とを加算し、基準データ用色補正メモリ1、および、補間強度信号出力メモリ4<sub>1</sub>~4<sub>4</sub>の新たなアドレスを出力する。このL\*の起点アドレスと、アドレス加算器15の働きにより、基準データ用色補正メモリ1、および、補間用強度信号出力メモリ4の出力の色再現範囲外の入力に対応する部分を無くすることができるので、基準データ用色補正メモリ1、および、補間用強度信号出力メモリ4<sub>1</sub>~4<sub>4</sub>のメモリ容量が削減出来る。

#### 【0046】

【発明の効果】以上のように、本発明による色信号変換方法は、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを用いるようにしたので、メモリから呼び出す時の複雑なアドレス変換が不要となり、高速処理を可能とするものであり、しかも、3つの色信号にKのコントロール信号を加えたような4つの入力信号に対しても、メモリ容量をそれほど増やすことなく高速な変換を可能とする。また、本発明は、色補正メモリの中のデータが規則正しく並んでいることを前提としないので、データの規則性をくずして出力の色再現範囲外に対応するメモリを削減する技術と組み合わせることができ、かつ、隣の補間領域との境界での連続性の確保を可能とするものである。

【0047】また、本発明は、補間対象領域の各16頂点体を、該16頂点体を構成する16の格子点のうちの1つの格子点を通る24の5頂点体に分割し、該5頂点体の各々で異なる補間データの組みを対応させる手段を有すること、具体的には、補間用強度出力メモリ手段、または、補間用強度選択出力メモリ手段、または、補間用強度出力手段、または、補間用強度選択出力手段を持つことにより、メモリから呼び出す時の複雑なアドレス変換を不要とし、従って簡単な回路構成でかつ高速処理を可能とするものである。とくに、3つの色信号にKのコントロール信号を加えたような4つの入力信号に対しても、メモリ容量をそれほど増やすことなく高速な変換を可能とする。また、色補正メモリの中のデータが規則

正しく並んでいることを前提としないので、特開平2-7377.9号公報または特開平2-187374号公報記載の提案したデータの規則性をくずして出力の色再現範囲外に対応するメモリーを削減するアイデアと相入れることを可能とし、かつ、隣の補間領域との境界での連続性の確保を可能とするものである。

【0048】また、本発明は、補間用領域選択メモリ手段、または、補間用領域選択信号出力手段、および、補間データ出力手段、または、補間データ出力メモリ手段をもつことにより、出力についての演算回数を少なくし、従って簡単な回路構成でかつ高速処理を可能としている。さらに、本発明は、補間対象領域の各16頂点体のうちの1つの格子点を基準として残りの15の格子点に対応する差分データを出力するメモリ部分を設けた構成の場合は、演算回数は多少増えるが、少ないメモリ容量で前記効果をそのまま維持できる補間装置を実現できる。

#### 【図面の簡単な説明】

【図1a】 本発明の単位16頂点体分割方法を示す図で、図1b、図1cと合わせて1つの図を構成する。

【図1b】 本発明の単位16頂点体分割方法を示す図。

【図1c】 本発明の単位16頂点体分割方法を示す図。

【図2】 本発明の第1の実施例の色信号変換回路を示す図。

【図3】 本発明の第2の実施例の色信号変換回路を示す図。

【図4】 本発明の第3の実施例の色信号変換回路を示す図。

す図。

【図5】 本発明の第4の実施例の色信号変換回路を示す図。

【図6a】 本発明の第5の実施例の色信号変換回路を示す図で、図6bと合わせて1つの図を構成する。

【図6b】 本発明の第5の実施例の色信号変換回路を示す図。

【図7a】 本発明の第6の実施例の色信号変換回路を示す図で、図7bと合わせて1つの図を構成する。

10 【図7b】 本発明の第6の実施例の色信号変換回路を示す図。

【図8】 本発明の第7の実施例（応用例）の色信号変換回路を示す図。

【図9】 本発明で改良の対象とする補間回路を示す図。

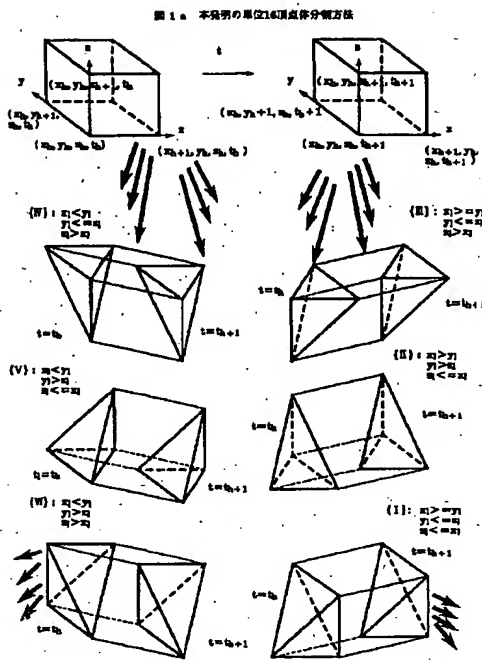
【図10】 図9の変形補間回路を示す図。

#### 【符号の説明】

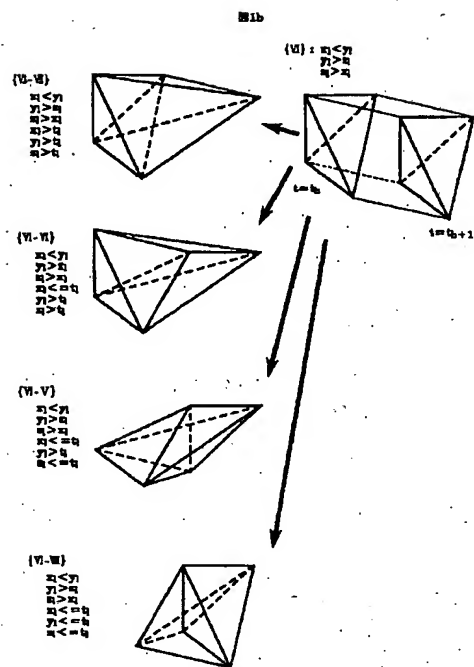
1…基準データ用色補正メモリ、 21~24…補間データ用メモリ、 31~37…補間用加算器、 41~44…補間用強度選択信号出力メモリ、 51~54…補間用強度信号出力メモリ、 61~64…補間用乗算器、 7…補間用領域選択信号出力メモリ、 81~86…比較器、 91…補間用差分信号出力メモリ、 101~1028…減算器、 111~114…選択器、 121~114…定数減算器、 13…起点アドレスおよび下位ビット生成メモリ、 14…最大最小生成メモリ、 15…アドレス加算器、 16…最大発生比較器、 17…最小発生比較器。



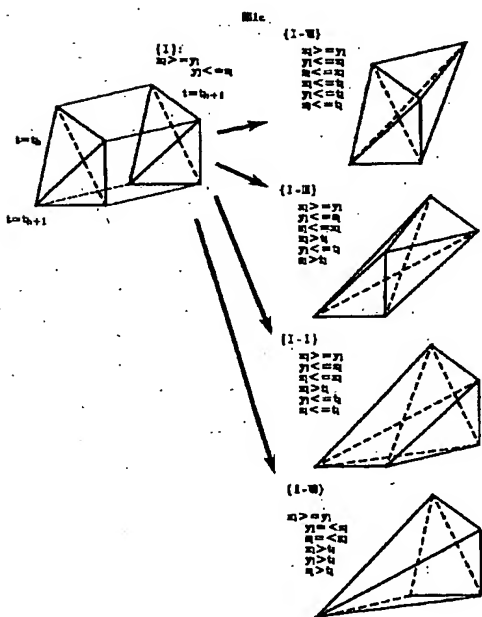
【図1 a】



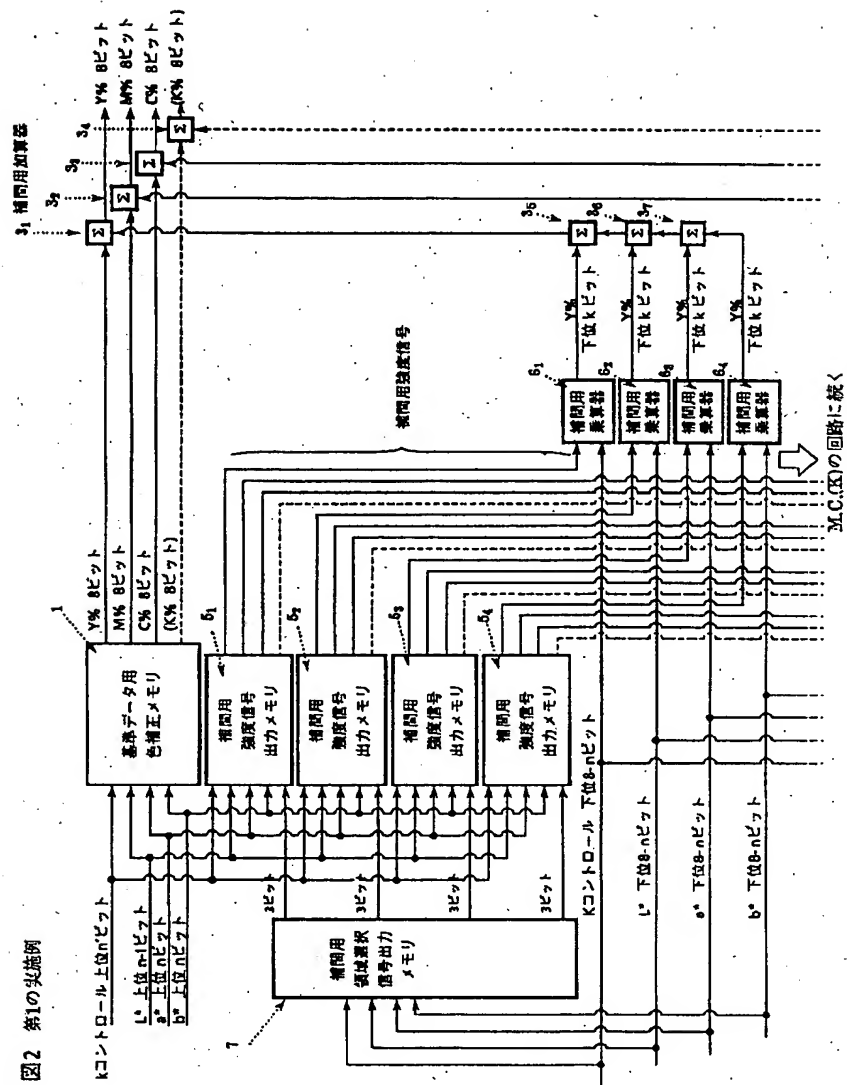
【図1 b】



【図1 c】

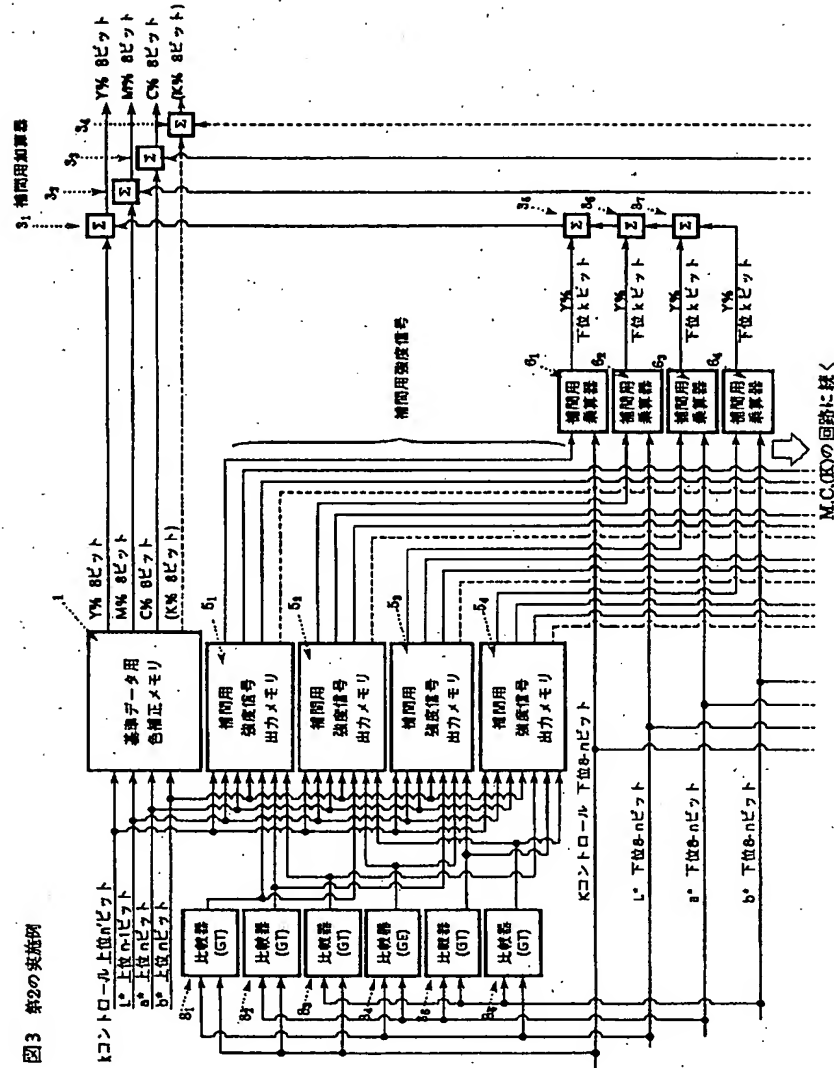


【図2】

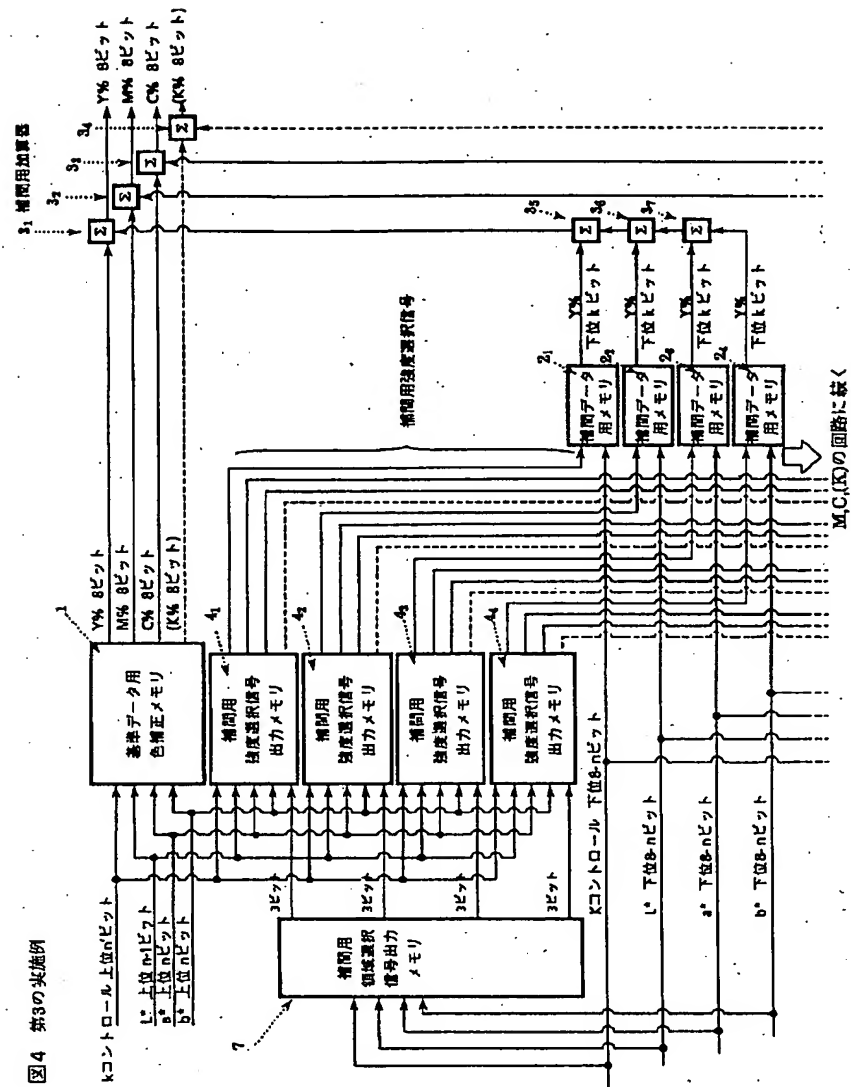




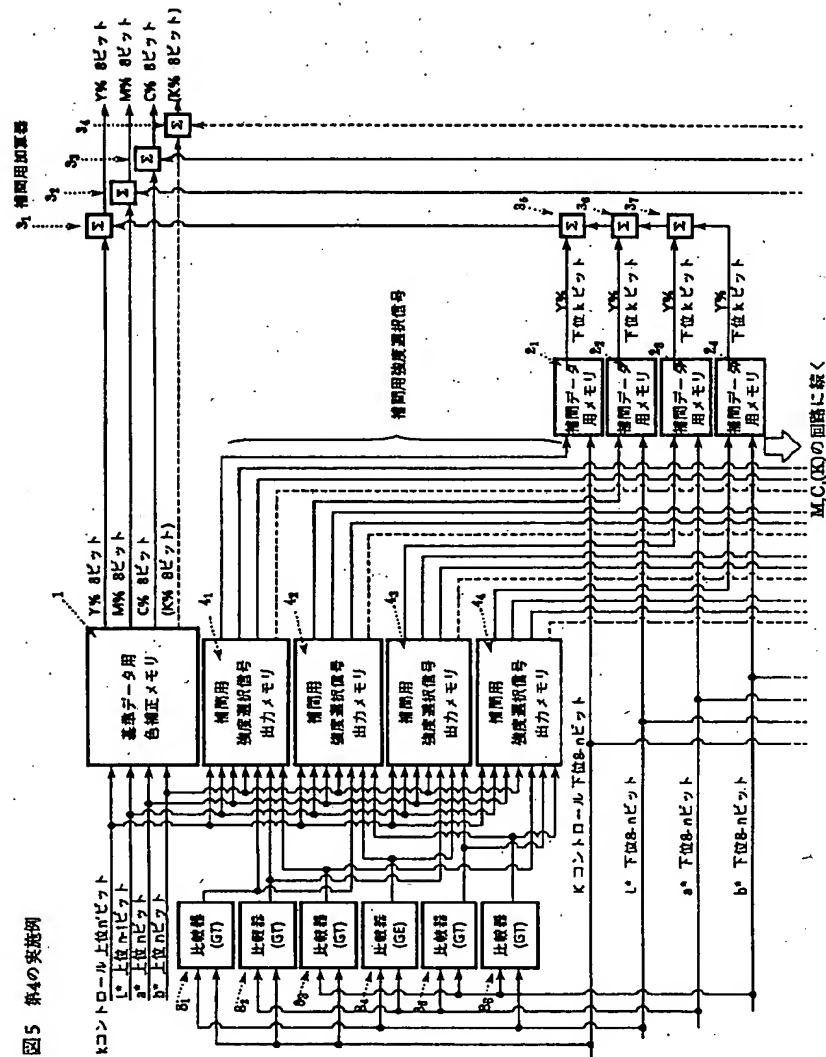
【図3】



【図4】

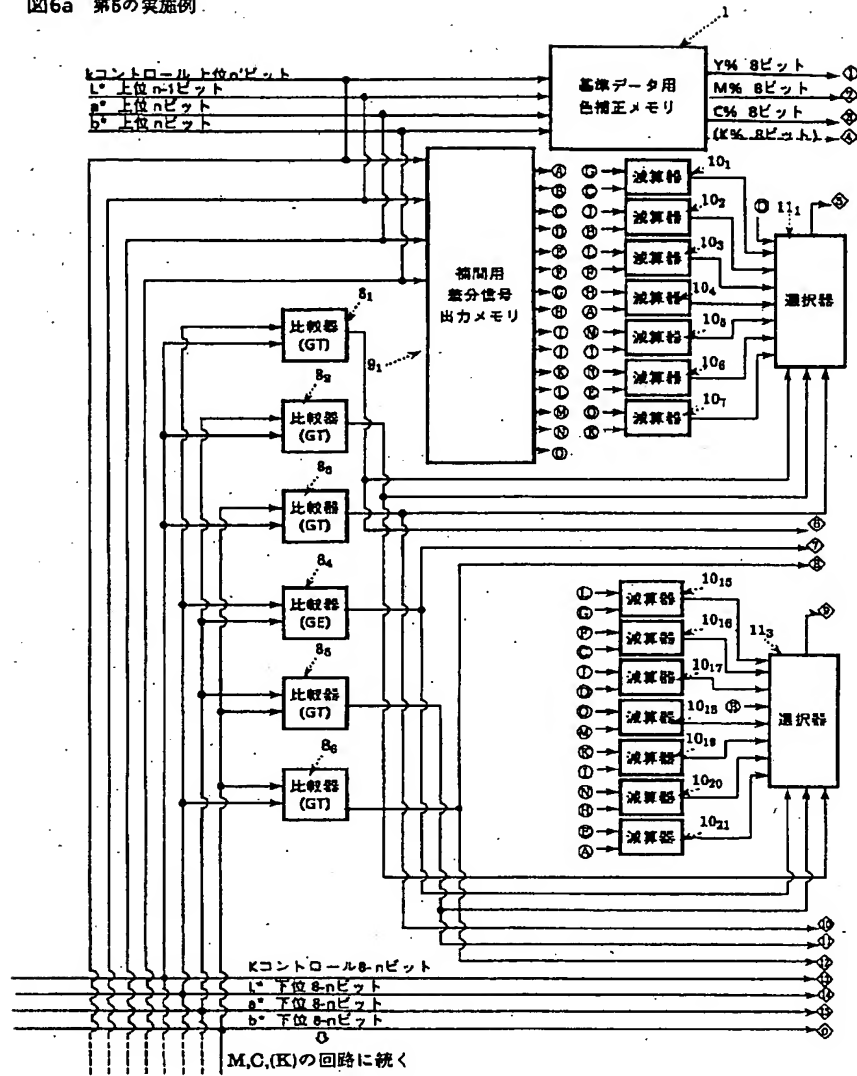


【図5】



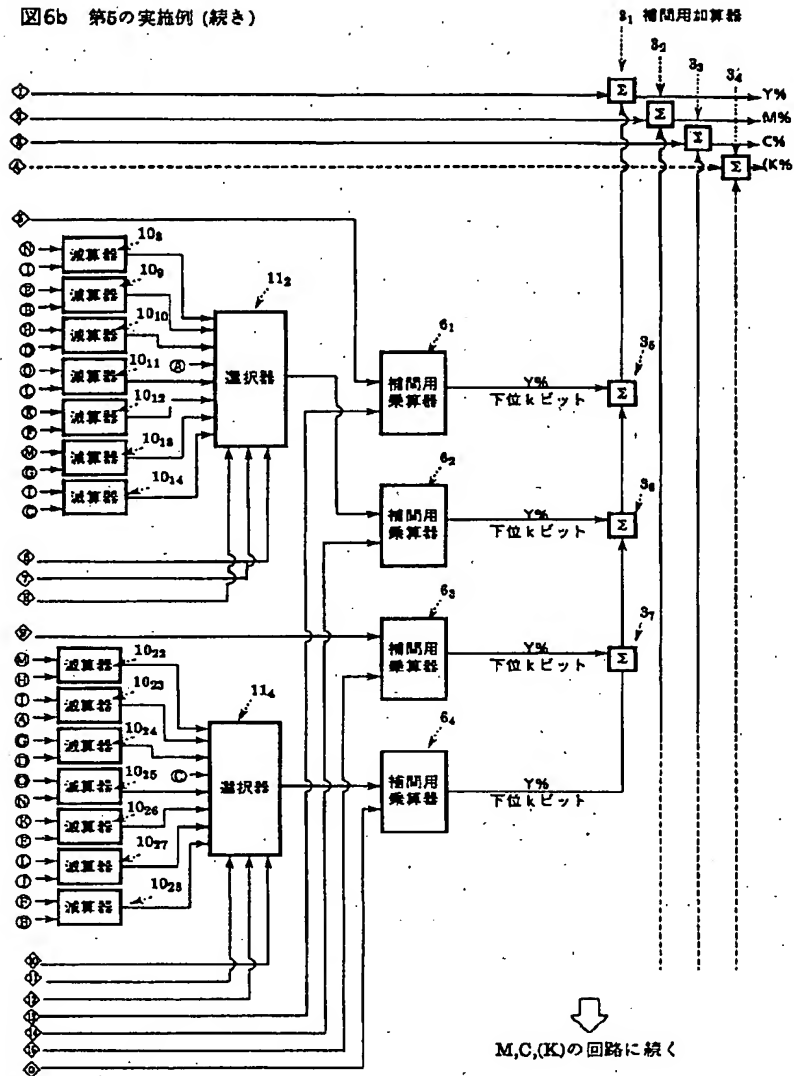
【図6a】

図6a 第5の実施例



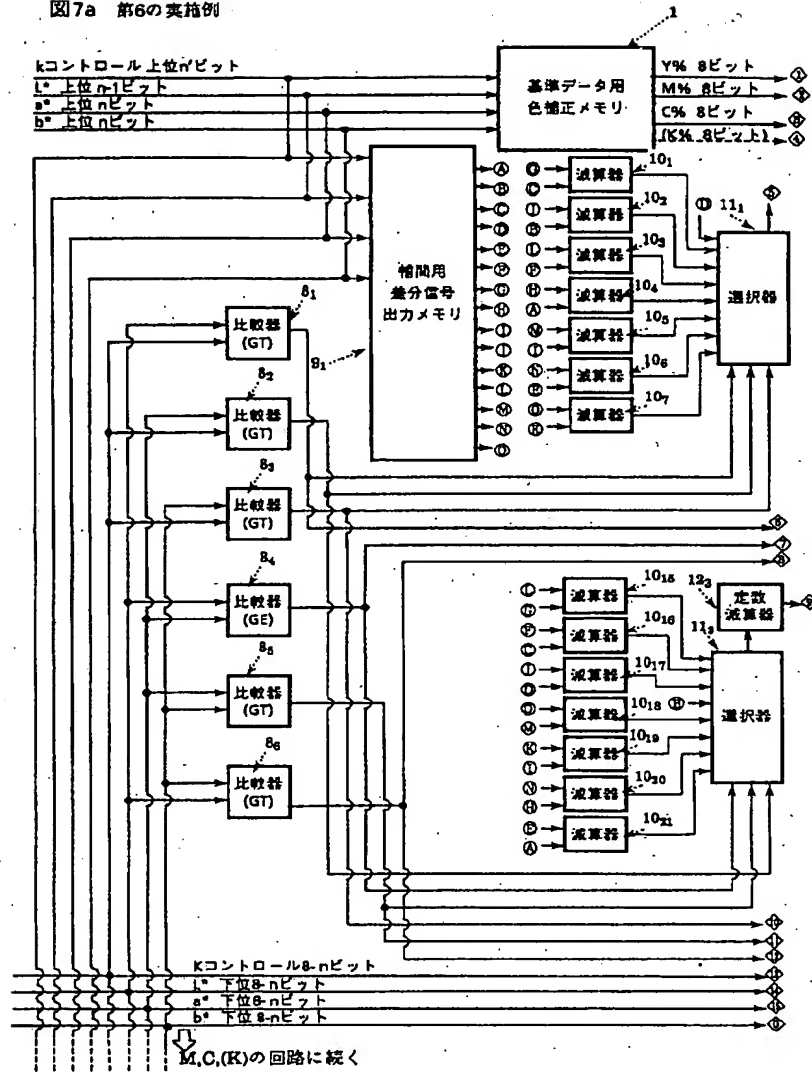
【図6b】

図6b 第5の実施例 (続き)



【図7a】

図7a 第6の実施例



【図7b】

図7b 第6の実施例

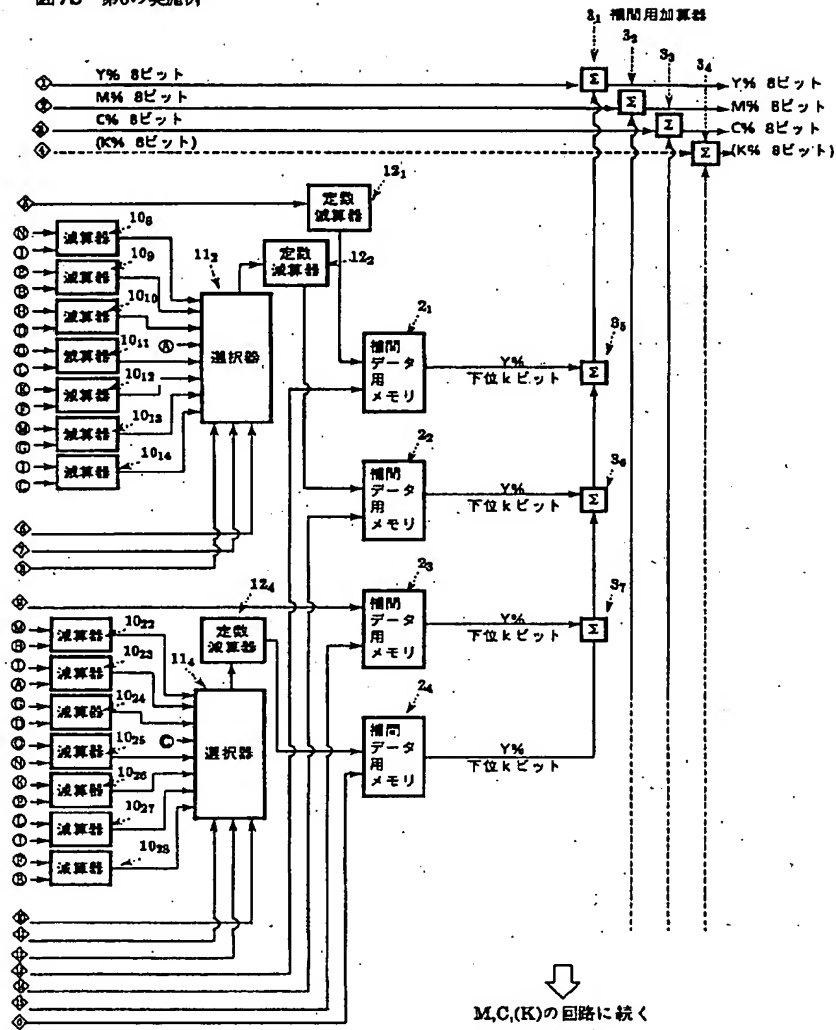


圖 8 試驗結果

